

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-045071

(43)Date of publication of application : 27.02.1987

(51)Int.Cl.

H01L 29/78

H01L 21/265

(21)Application number : 60-185317

(71)Applicant : NEC CORP

(22)Date of filing : 22.08.1985

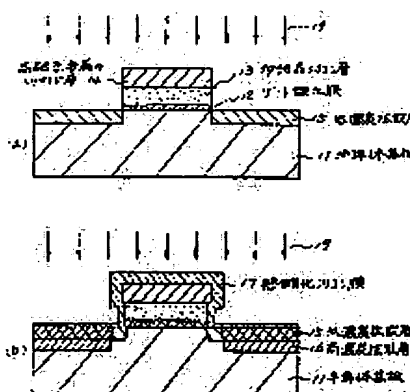
(72)Inventor : NOGUCHI KOU

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To improve the reproducibility of the gate electrode length by a method wherein an impurity diffusion layer having a concentration higher than the diffusion layer is formed by self alignment by means of the ion implantation with a thermal oxide silicon film as a mask in a region which is spaced apart from the end of the gate electrode by the thickness of the silicon oxide film on the sides of the silicide layer.

CONSTITUTION: After sequentially laminating and forming a gate oxide film 12, polycrystalline silicon layer 13 and high-melting point metal silicide layer 14 on a semiconductor substrate 11, the region of the laminate except for a predetermined gate electrode pattern is etched away, and impurity ions 19 of the conductivity type opposite to the substrate are implanted onto the substrate by self alignment with respect to the gate electrode pattern, forming a low concentration diffusion layer 15. Then, a heat treatment is applied, forming a thermal oxide silicon film 17 on the substrate surface and the gate electrode surface. The impurity ions 19 exhibiting the conductivity type opposite to the substrate are implanted in high concentration onto the substrate, forming a high concentration diffusion layer 16 having one end in a region which is spaced apart from the end of the gate electrode by the thickness of the oxide film on the sides of the high-melting point silicide layer.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭62-45071

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)2月27日

H 01 L 29/78
21/2658422-5F
7738-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体装置の製造方法

⑰ 特 願 昭60-185317

⑱ 出 願 昭60(1985)8月22日

⑲ 発 明 者 野 口 江 東京都港区芝5丁目33番1号 日本電気株式会社内
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
㉑ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

一導電型の半導体基板上にゲート絶縁膜を介して下層の多結晶シリコン層と上層の高融点金属のシリサイド層からなる2層構造のゲート電極を所定の形状に形成する工程と、前記ゲート電極をマスクとしたイオン注入法により前記基板に逆導電型の低濃度不純物拡散層を自己整合的に形成する工程と、前記基板表面及び前記ゲート電極表面を熱酸化して前記ゲート電極のシリサイド層の側面及び上面に前記基板表面及び前記ゲート電極の多結晶シリコン層の側面よりも厚いシリコン酸化膜を形成する工程と、前記シリサイド層の側面の熱酸化シリコン膜をマスクとしたイオン注入法により前記ゲート電極端から前記シリサイド層側面のシリコン酸化膜厚分だけ離れた領域に前記拡散層

よりも高濃度の不純物拡散層を自己整合的に形成する工程とを含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の製造方法に関し、いわゆるLDD(Lightly Doped Drain)構造を有する電界効果トランジスタの製造方法に関する。

〔従来の技術〕

従来、LDD構造を有する電界効果トランジスタを形成する方法として例えば、第2図に示すような方法が知られている。まず、第2図(a)に示すように、半導体基板21上にゲート酸化膜22を形成し、その上の所定領域に多結晶シリコン層23上に窒化シリコン膜28を有するゲート電極パターンを異方性エッチング法により形成する。次に、第2図(b)に示すように窒化シリコン膜28をマスクとして、等方性エッチング法により多結晶シリコン層23の所定量をエッチング除去してゲート

電極を形成し、窒化シリコン膜28の側端部をひさし状に突出させる。次に、窒化シリコン膜28をマスクとして半導体基板21上に基板と逆導電型を呈する不純物イオン29をイオン注入して高濃度拡散層26を形成する。次に、第2図(c)に示すように窒化シリコン膜28を除去した後、多結晶シリコン層23をマスクとして基板上に前記高濃度拡散層26と同一導電型を呈する不純物イオン29を前記イオン注入量よりも少なくイオン注入して、低濃度拡散層25を形成する。これにより、ゲート酸化膜22下のチャネル領域と高濃度拡散層26とが低濃度拡散層25を介して接続したLDD構造が得られる。

〔発明が解決しようとする問題点〕

上述した従来のLDD構造を有する電界効果トランジスタの製造方法は、ゲート電極形成時に多結晶シリコン層を等方性エッチング法で所定量だけエッチング除去するが、エッチング量の制御が難しいため多結晶シリコン層のエッチング後の長さ、すなわち、ゲート電極長を再現性良く得ることが

成する工程と、前記ゲート電極をマスクとしたイオン注入法により前記基板に逆導電型の低濃度不純物拡散層を自己整合的に形成する工程と、前記基板表面及び前記ゲート電極表面を熱酸化して前記ゲート電極のシリサイド層の側面及び上面に前記基板表面及び前記ゲート電極の多結晶シリコン層の側面よりも厚いシリコン酸化膜を形成する工程と、前記シリサイド層の側面の熱酸化シリコン膜をマスクとしたイオン注入法により前記ゲート電極端から前記シリサイド層側面のシリコン酸化膜厚分だけ離れた領域に前記拡散層よりも高濃度の不純物拡散層を自己整合的に形成する工程とを含んで構成される。

〔実施例〕

次に、本発明について図面を参照して説明する。第1図(a)~(b)は本発明の一実施例の主要工程の工程順縦断面図である。

まず、第1図(a)に示すように、半導体基板11上にゲート酸化膜12、多結晶シリコン層13、高融点金属のシリサイド層14を順次積層形成し

困難であり、設計値を再現性良く反映した短チャネルトランジスタを実現することが困難である。また、ゲート電極長の再現性が悪いことは、ゲート電極端から高濃度拡散層端までの間に位置する低濃度拡散層領域の長さの再現性が悪いことになり、ひいてはトランジスタの相互コンダクタンスの再現性が悪いことを意味し、従ってトランジスタの回路設計上困難をきたす。さらに、トランジスタ完成時の多結晶シリコン層からなるゲート電極長はゲートのマスク寸法に比べて等方性エッチングされた分だけ短いため、トランジスタの設計時にあらかじめゲート電極長を大きめに見積もる必要がある。従って、複数のトランジスタを配置する場合、集積度を上げられずトランジスタをLDD構造にして短チャネル化する利点がなくなる。

〔問題点を解決するための手段〕

本発明の半導体装置の製造方法は、一導電型の半導体基板上にゲート絶縁膜を介して下層の多結晶シリコン層と上層の高融点金属のシリサイド層からなる2層構造のゲート電極を所定の形状に形

た後、前記積層のうち所定のゲート電極パターン以外の領域をエッチング除去する。次に、基板上に基板と逆の導電型を呈する不純物イオン19をゲート電極パターンに対して自己整合的にイオン注入して低濃度拡散層15を形成する。

次いで、第1図(b)に示すように、熱処理を施すことにより基板表面及びゲート電極表面に熱酸化シリコン膜17を形成する。この時、多結晶シリコン層13の側面では側面の内向きと外向きにほぼ同じ厚さの酸化膜が形成されるのに対し、高融点金属のシリサイド層表面は外向きに酸化膜の大部分が形成され、かつ多結晶シリコン層に比べて酸化速度が大きいため、高融点金属のシリサイド層の側面の酸化膜は、多結晶シリコン層の側面の酸化膜よりもゲート電極の外側に突き出た状態になる。次に、高融点金属シリサイド層側面の突出した熱酸化シリコン膜をマスクとして、基板上に基板と逆の導電型を呈する不純物イオン19を、先に行ったイオン注入量よりも高濃度に注入する。この結果、高融点金属のシリサイド層側面の酸化

膜厚分だけゲート電極端より離れた領域に一端を有する高濃度拡散層16が形成される。

以上の工程により、ゲート電極下のチャネル領域と高濃度拡散層16が低濃度拡散層15を介して接続するLDD構造が得られる。

〔発明の効果〕

以上説明したように本発明は、濃度の異なる2種の不純物拡散層をゲート電極に対して自己整合的にイオン注入法により形成する場合、マスクとして低濃度拡散層形成時は異方性エッチング法により形成したゲート電極を使用し、また高濃度拡散層形成時は、ゲート電極の高融点金属のシリサイド層を熱酸化して得られるシリサイド層表面の熱酸化シリコン膜を使用する。これにより、ゲート電極と低濃度及び高濃度拡散層との相互の位置関係を再現性良く実現することができ、短チャネルトランジスタを再現性良く製造することが可能である。また、トランジスタの相互コンダクタンスの再現性も良くなるため回路設計が容易になる。また、トランジスタ完成時の多結晶シリコン層の

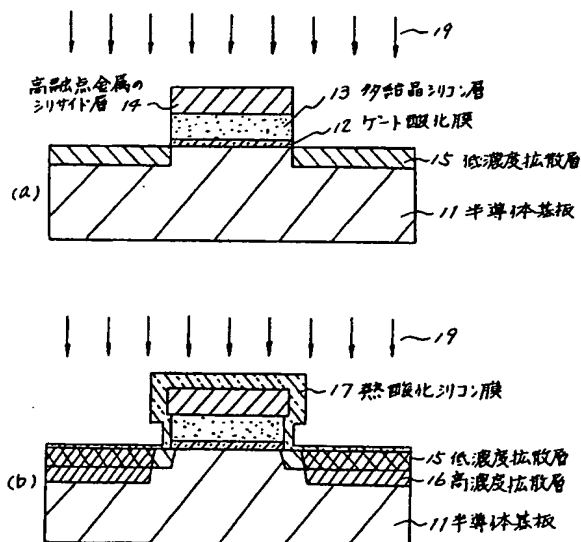
ゲート長がゲートのマスク寸法とほぼ同じであるため、複数のトランジスタを配置する場合集積度が上げられる。さらに、ゲート電極に高融点金属のシリサイド層を用いることによりゲート電極抵抗を下げることもできるため高速動作を可能にする効果がある。

4. 図面の簡単な説明

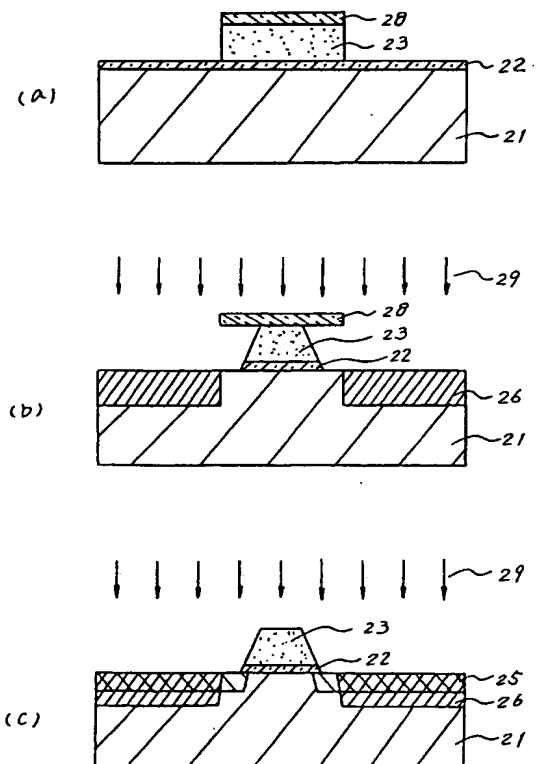
第1図(a)~(b)は本発明の半導体装置の製造方法の一実施例の主要工程の縦断面図、第2図(a)~(c)は従来の半導体装置の製造方法の主要工程の縦断面図である。

11, 21……半導体基板、12, 22……ゲート酸化膜、13, 23……多結晶シリコン層、14……高融点金属のシリサイド層、15, 25……低濃度拡散層、16, 26……高濃度拡散層、17……熱酸化シリコン膜、19, 29……不純物イオン、28……窒化シリコン膜。

代理人 弁理士 内 原 晋



第1図



第2図